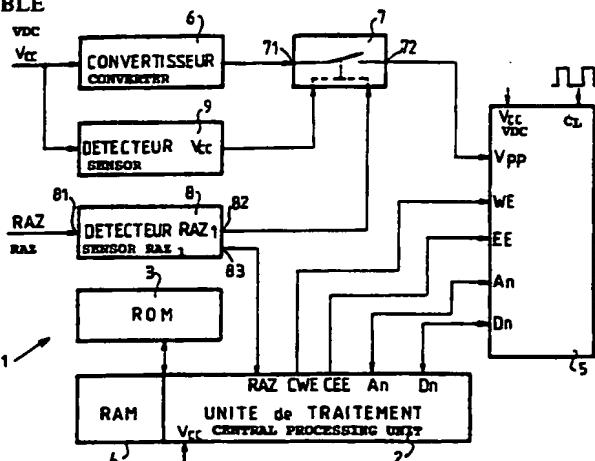




## DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>5</sup> :  G11C 16/06		A1	(11) Numéro de publication internationale: WO 90/07185  (43) Date de publication internationale: 28 juin 1990 (28.06.90)
<p>(21) Numéro de la demande internationale: PCT/FR89/00660</p> <p>(22) Date de dépôt international: 19 décembre 1989 (19.12.89)</p> <p>(30) Données relatives à la priorité: 88/16788 20 décembre 1988 (20.12.88) FR</p> <p>(71) Déposant (<i>pour tous les Etats désignés sauf US</i>): BULL CP8 [FR/FR]; Rue Eugène-Hénaff, F-78190 Trappes (FR).</p> <p>(72) Inventeur; et</p> <p>(75) Inventeur/Déposant (<i>US seulement</i>): UGON, Michel [FR/FR]; 6, rue des Cépages, F-78310 Maurepas (FR).</p> <p>(74) Mandataire: SILORET, Patrick; Bull S.A., 25, avenue de la Grande-Armée, F-75016 Paris (FR).</p>		<p>(81) Etats désignés: AU, JP, KR, NO, US.</p> <p><b>Publiée</b></p> <p><i>Avec rapport de recherche internationale. Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si de telles modifications sont reçues.</i></p>	
<p><b>(54) Title:</b> DATA PROCESSING DEVICE COMPRISING A NON-VOLATILE, ELECTRICALLY ERASABLE AND REPROGRAMMABLE MEMORY</p> <p><b>(54) Titre:</b> DISPOSITIF DE TRAITEMENT DE DONNEES COMPORTANT UNE MEMOIRE NON VOLATILE ELECTRIQUEMENT EFFACABLE ET REPROGRAMMABLE</p> <p><b>(57) Abstract</b></p> <p>Data processing device comprising at least one central data processing unit (2), and at least one non-volatile, erasable and electrically reprogrammable memory (5), at least under partial control of the processing unit. The device is characterized in that it comprises detection means (8) of a signal to request the reinitialization of the device's registers, controlling means (7) for inhibiting the application of at least one signal (Vpp, WE, EE) essential for programming the non-volatile memory (5) at least when said signal to request the reinitialisation (RAZ) of the device's registers has a level (RAZ1) sufficient to activate the reinitialisation process. A particularly interesting application of this device concerns monolithic and/or self-programmable microprocessors.</p> <p><b>(57) Abrégé</b></p> <p>L'invention concerne un dispositif de traitement de données comportant au moins une unité de traitement (2) de données, et au moins une mémoire non volatile (5) effaçable et reprogrammable électriquement, au moins sous contrôle partiel de l'unité de traitement. Le dispositif est caractérisé en ce qu'il comporte des moyens de détection (8) d'un signal de demande de réinitialisation des registres du dispositif, commandant des moyens (7) entrainant le blocage de l'application d'au moins un signal (Vpp, WE, EE) nécessaire à la programmation de la mémoire non volatile (5) au moins lorsque ledit signal de demande de réinitialisation (RAZ) des registres du dispositif possède un niveau suffisant (RAZ1) pour activer la réinitialisation. Une application particulière intéressante de ce dispositif concerne les microprocesseurs monolithiques et/ou autoprogrammables.</p>			

BEST AVAILABLE COPY



**UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publient des demandes internationales en vertu du PCT.

AT	Autriche	ES	Espagne	MG	Madagascar
AU	Australie	FI	Finnlande	ML	Mali
BB	Barbade	FR	France	MR	Mauritanie
BE	Belgique	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Royaume-Uni	NL	Pays-Bas
BG	Bulgarie	HU	Hongrie	NO	Norvège
BJ	Bénin	IT	Italie	RO	Roumanie
BR	Brazil	JP	Japan	SD	Soudan
CA	Canada	KP	République populaire démocratique de Corée	SE	Suède
CF	République Centrafricaine	KR	République de Corée	SN	Sénégal
CG	Congo	LJ	Liechtenstein	SU	Union soviétique
CH	Suisse	LK	Sri Lanka	TD	Tchad
CM	Cameroon	LU	Luxembourg	TG	Togo
DE	Allemagne, République fédérale d'	MC	Monaco	US	Etats-Unis d'Amérique
DK	Danemark				

DISPOSITIF DE TRAITEMENT DE DONNEES COMPORTANT UNE MEMOIRE  
NON VOLATILE ELECTRIQUEMENT EFFACABLE ET REPROGRAMMABLE.

L'invention est relative à un dispositif de traitement de données comportant au moins une unité de traitement, telle qu'un microprocesseur, et au moins une mémoire non volatile électriquement effaçable et reprogrammable au moins partiellement sous le contrôle de l'unité de traitement.

Dans un dispositif de traitement de données, la mémoire non volatile contient des données qui ne doivent pas être altérées lors de la mise sous tension ou d'une coupure de l'alimentation électrique du dispositif. Ainsi, en particulier, au moins une partie des instructions constituant le programme de fonctionnement du dispositif peut être inscrite dans une mémoire non volatile. En général, la mémoire non volatile qui contient les instructions n'est pas effaçable. Cependant, il existe des mémoires non volatiles qui sont reprogrammables, c'est-à-dire dont le contenu peut être modifié.

Certaines de ces mémoires nécessitent pour leur modification un effacement préalable, par exemple par une exposition à une source de rayonnement ultraviolet. Ce type de mémoire non volatile reprogrammable nécessite une intervention physique du monde extérieur pour la reprogrammation, au moins lors de la phase d'effacement, de sorte qu'il n'est pas possible d'utiliser de telles mémoires dans des systèmes dans lesquels la reprogrammation est totalement contrôlée par l'unité de traitement. Afin de remédier à cet inconvénient, on a conçu des mémoires non volatiles reprogrammables, dans lesquelles l'écriture ou l'effacement s'effectue grâce à l'application de signaux électriques de niveaux compatibles avec les niveaux usuellement rencontrés dans

les dispositifs de traitement de données. Ces mémoires sont souvent désignées par l'abréviation EEPROM, qui est constituée par les initiales de leur appellation anglaise (Electrically Erasable Programmable Read Only Memory).

5

Dans la suite de la présente description, le terme "programmation" doit être pris au sens large, et signifie toutes actions ayant pour conséquence une modification du contenu de la mémoire, c'est-à-dire une écriture ou un effacement du contenu d'une partie au moins de ladite mémoire.

Ainsi, à titre d'exemple, des circuits logiques connus sont alimentés sous une tension de 5 volts, alors que la tension de programmation des mémoires non volatiles électriquement effaçables et reprogrammables est généralement située dans une plage d'environ 12 à 20 volts. En raison de la faible énergie nécessaire à la modification de leur contenu, on a conçu des dispositifs de traitement de données utilisant la même source d'alimentation pour fournir à la fois la tension nécessaire au circuit logique et la tension de programmation des mémoires non volatiles auxquelles ils sont associés. La tension d'alimentation de l'ensemble du dispositif correspond à l'une des deux tensions nécessaires, et un circuit convertisseur est prévu pour obtenir l'autre. Généralement, avec les circuits connus, la source d'alimentation fournit la tension nécessaire au circuit logique, et un convertisseur, tel qu'une pompe à diodes, permet d'obtenir la tension nécessaire à la programmation de la mémoire non volatile.

Il est clair que l'on peut envisager et concevoir des systèmes dans lesquels les tensions d'alimentation des circuits logiques et de programmation de la mémoire non volatile seraient identiques. Dans ce cas, le convertisseur ne serait plus présent.

L'intérêt de mémoires non volatiles effaçables électriquement et reprogrammables est évident, car elles peuvent être programmées directement sur commande de l'unité de traitement, sans intervention de l'extérieur,  
5 ce qui autorise par exemple que l'unité de traitement modifie elle-même le programme qui y est contenu, ou inscrive lors d'une utilisation, des données qui seront nécessaires pour une prochaine utilisation, tout en étant susceptibles d'être modifiées au cours de cette prochaine  
10 utilisation, ou d'une utilisation ultérieure.

C'est par exemple le cas dans les systèmes de traitement de données utilisant une carte à microcircuits, comportant au moins un microprocesseur et une mémoire non volatile,  
15 pour des applications bancaires ou de paiement. Une mémoire non volatile de ce type peut y être incorporée pour conserver la trace des débits et/ou des crédits cumulés, de même qu'un pouvoir d'achat résiduel, qui sont des données susceptibles de changer d'une utilisation à  
20 l'autre, mais qu'il est néanmoins nécessaire de conserver, car elles sont importantes pour la mise en oeuvre du système.

Bien entendu, la programmation peut être effectuée sur  
25 requête du monde extérieur, l'unité de traitement contrôlant alors dans ce cas la légitimité de la requête et le déroulement des opérations.

Des dispositifs de traitement de données comportant au moins une unité de traitement et une mémoire non volatile effaçable et programmable électriquement peuvent être constitués par un ensemble formé sur un seul substrat, réalisant alors un microprocesseur monolithique, éventuellement autoprogrammable, si le microprocesseur peut lui-même modifier les données inscrites en mémoire non volatile, sans intervention du monde extérieur.  
30  
35

Une telle structure, lorsqu'elle possède une seule source d'alimentation présente néanmoins des inconvénients car il peut arriver que, dans certains cas de fonctionnement transitoire, le contenu de la mémoire non volatile soit modifié accidentellement, alors que l'unité de traitement n'exerce aucun contrôle.

En effet, il peut arriver que la tension de programmation et les signaux de commande soient commutés de façon erratique, alors que tous les circuits logiques du dispositif de traitement ne sont pas stabilisés.

La tension de programmation est une tension nécessaire à la modification de la mémoire non volatile, c'est-à-dire à l'écriture ou à l'effacement, et elle est appliquée lors d'une phase de modification en même temps qu'un signal de commande correspondant, c'est-à-dire un signal de validation d'écriture ou d'effacement.

Un tel phénomène de modification erratique peut survenir notamment à la mise sous tension, ou lors d'une coupure de tension de l'ensemble. En effet, il peut arriver que le convertisseur soit en mesure de délivrer une tension de niveau suffisant pour la programmation de la mémoire non volatile, alors que le niveau minimum nécessaire au bon fonctionnement des ensembles logiques du dispositif n'est pas encore ou n'est plus présent. Si simultanément la tension de programmation est appliquée et un signal de validation d'effacement ou d'écriture est transmis de façon transitoire au circuit de la mémoire, alors l'ordre d'effacement ou d'écriture est pris en compte. Dans ce cas, le dispositif entier peut prendre un comportement complètement imprévisible, puisque des informations se trouvent modifiées de façon totalement incontrôlée.

Il peut encore arriver que de tels phénomènes surviennent pendant la phase de réinitialisation des circuits logiques

du dispositif, c'est-à-dire après que la tension minimum de fonctionnement des circuits ait été atteinte, mais lors d'une phase où l'unité de traitement n'a pas encore le contrôle total des opérations. Il faut savoir que la phase de réinitialisation peut demander plusieurs cycles d'horloge, au cours desquels il peut, par accident, survenir des ordres d'écriture ou d'effacement de la mémoire non volatile.

On a remédié partiellement à ces inconvénients, en réalisant des circuits qui permettent d'interdire l'application de la tension de programmation tant que la tension d'alimentation des circuits entourant la mémoire non volatile n'est pas à un niveau suffisant. Ainsi, par exemple, dans le "Memory Components Handbook" de la société Intel, édition 1983, chapitre 5 traitant des mémoires non volatiles électriquement effaçables et reprogrammables, il est décrit divers dispositifs de protection en écriture ou en effacement qui interdisent la commutation de la tension de programmation et/ou des signaux de validation tant que la tension d'alimentation n'est pas à un niveau suffisant. A cet effet, dans une mémoire non volatile, la tension de programmation est commutée par l'intermédiaire d'un commutateur électronique en réponse à un ordre d'effacement ou d'écriture. Les circuits de mesure de la tension d'alimentation des circuits logiques interdisent toute commutation de la tension de programmation, en bloquant le commutateur, tant que la tension d'alimentation des circuits logiques n'est pas à son niveau minimum requis.

Par ailleurs, les dispositifs décrits dans cette publication sont agencés pour libérer les moyens de blocage juste avant la réinitialisation des circuits de contrôle de la mémoire non volatile, qui est nécessaire avant le lancement de toute opération d'écriture ou

d'effacement en mémoire. Pour cela, les circuits d'interdiction de l'application de la tension de programmation sont temporisés pour que leur effet cesse après un certain temps suivant la mise sous tension du dispositif, à partir duquel on considère que les circuits sont stabilisés. Dès que leur action cesse, l'ordre de réinitialisation peut être émis.

Ces précautions peuvent s'avérer insuffisantes puisque les dispositifs de blocage dont il vient d'être fait mention ne sont pas actifs pendant la phase de réinitialisation des circuits associés à la mémoire et, ce qui est encore plus important, ils ne tiennent absolument pas compte du fait que l'unité de traitement à laquelle la mémoire est destinée à être associée, peut être réinitialisée selon un processus totalement différent de celui des circuits propres à la mémoire non volatile.

Il en résulte que le circuit de temporisation qui interdit l'application de la tension de programmation pendant une durée déterminée après la mise sous tension n'est absolument pas adapté à tous les environnements dans lesquels est susceptible d'être placée une telle mémoire non volatile, et en particulier ne permet pas d'assurer la réinitialisation des registres en toute sécurité, et notamment n'empêche pas une programmation erratique de la mémoire non volatile pendant cette phase de réinitialisation.

L'invention a donc pour but de remédier à ces inconvenients, en proposant des moyens qui permettent d'interdire une programmation de la mémoire non volatile lors des phases de réinitialisation du système dans lequel est incorporée cette mémoire, sans qu'il soit nécessaire d'effectuer d'adaptations ultérieures lors de la mise en service.

L'invention utilise le fait qu'une phase de réinitialisation ne peut avoir lieu que lorsqu'un ordre de réinitialisation, encore appelé signal de réinitialisation, est appliqué en différents endroits du dispositif. L'ordre de réinitialisation apparaît suite à une demande de réinitialisation qui peut être automatique, ce qui est le cas par exemple à la mise sous tension d'un dispositif, après que la tension minimum de fonctionnement est été atteinte, ou bien encore un ordre de réinitialisation peut faire suite à une demande provoquée soit par le dispositif lui-même, soit par l'utilisateur en cours de fonctionnement. La demande se traduit par un signal de demande de réinitialisation.

La production de cet ordre de réinitialisation n'entre pas dans le cadre de la présente invention. Il est par ailleurs connu qu'un signal de demande de réinitialisation est dit actif quand son niveau est tel qu'il est pris en compte par le dispositif pour que l'ordre de réinitialisation soit émis ; il est inactif lorsque son niveau est tel que l'ordre de réinitialisation ne peut pas être émis. Selon le dispositif, un signal de demande de réinitialisation est soit actif à l'état haut, soit actif à l'état bas. Il est actif à l'état haut, et à contraria inactif à l'état bas lorsqu'il est nécessaire que sa valeur soit par exemple proche de la tension nominale de fonctionnement du dispositif pour que la réinitialisation puisse avoir lieu, et dans ce cas il faut que sa valeur soit nulle pour qu'il soit inactif ; il est actif à l'état bas, et à contraria inactif à l'état haut, lorsque les conducteurs par lesquels transite ce signal doivent être portés à un potentiel nul pour qu'ils soient pris en compte pour que la réinitialisation puisse avoir lieu, et lorsque lesdits conducteurs doivent être portés à un potentiel proche de la tension nominale de fonctionnement pour que la réinitialisation ne puisse pas avoir lieu.

Selon l'invention, un dispositif de traitement de données comportant au moins une unité de traitement et au moins une mémoire non volatile effaçable et programmable électriquement, au moins sous le contrôle partiel de l'unité de traitement, est caractérisé en ce qu'il comporte des moyens pour détecter le niveau des signaux de demande de réinitialisation des circuits logiques, commandant des moyens pour bloquer l'application d'au moins un signal nécessaire à la programmation de la mémoire non volatile, au moins tant que le niveau d'un signal de demande de réinitialisation est tel que ledit signal est actif.

L'invention est donc particulièrement avantageuse car elle ne met plus en oeuvre l'utilisation de considérations empiriques de délai après la mise sous tension, mais utilise des valeurs qui sont constantes d'un dispositif à l'autre. En effet, par exemple pour un dispositif dont la tension nominale de fonctionnement est de 5 volts, et pour lesquels le signal de réinitialisation est actif à l'état bas, il suffit de vérifier que la valeur du signal de demande de réinitialisation est proche d'une valeur nulle pour interdire l'application d'une tension nécessaire à la programmation.

En outre, les dispositifs connus de l'art antérieur ne permettaient pas une interdiction de l'application de la tension de programmation alors qu'une réinitialisation avait lieu en cours de fonctionnement ou suite à la mise sous tension, puisque la constante de temps entraînant le blocage de la programmation dans ces dispositifs de l'art antérieur n'apparaissait qu'à la mise sous tension. Avec la présente invention, l'interdiction de l'application d'une tension nécessaire à la programmation est effective quel que soit le moment auquel le signal de demande de réinitialisation apparaît.

En outre, avec les moyens mis en oeuvre dans la présente invention, on est certain que l'application d'une tension nécessaire à la programmation est interdite pendant toute la durée de la phase de réinitialisation, puisque c'est un signal actif pendant toute la phase de réinitialisation qui est utilisé pour commander les moyens de blocage de la tension de programmation. En effet, l'ordre de réinitialisation n'est présent que si le signal de demande est actif.

10

Il va de soi que l'invention est applicable à tout type de dispositif de traitement de données dans lequel l'unité de traitement possède le contrôle plus ou moins partiel de la programmation de la mémoire non volatile, c'est-à-dire qu'elle peut s'appliquer en particulier aux microprocesseurs autoprogrammables, et qu'elle s'applique indifféremment aux microprocesseurs monolithiques ou non.

15

D'autres caractéristiques et avantages de la présente invention apparaîtront avec la description ci-après faite en regard des figures annexées sur lesquelles :

20

- la figure 1 est un schéma de principe d'une variante d'un dispositif de traitement de données conforme à l'invention ;

- les figures 2 et 3 illustrent deux variantes des moyens de blocage avec leur environnement ;

25

- les figures 4 à 7 sont des schémas de principe d'autres variantes du dispositif.

Sur la figure 1 on a illustré schématiquement un premier mode de réalisation d'un dispositif conforme à l'invention.

35

Le dispositif (1) comporte une unité centrale (2) ou de traitement exécutant un programme enregistré dans une mémoire à lecture seule (3) désignée sous son sigle anglo-saxon ROM, de l'anglais Read Only Memory.

5

L'unité centrale peut contenir ou être associée à une mémoire à accès aléatoire (4), encore appelée mémoire volatile, et désignée par son sigle RAM, de l'anglais Random Access Memory.

10

L'unité centrale reçoit la tension d'alimentation  $V_{CC}$  du dispositif.

15

Par ailleurs, conformément à l'invention, le dispositif contient une mémoire non volatile (5) du type électriquement effaçable et programmable. Dans la suite de la description, cette mémoire est appelée la mémoire reprogrammable.

20

Afin de permettre les opérations d'écriture ou d'effacement, la mémoire reprogrammable (5) comporte une entrée de tension de programmation  $V_{PP}$ , une entrée de signal de validation d'écriture WE et une entrée de signal de validation d'effacement EE, ainsi que des lignes de données  $D_n$  et d'adresses  $A_n$ . La gestion des lignes de données et d'adresses est assurée de façon connue par l'unité de traitement (2), et des bus de données et d'adresses, partiellement représentés ici pour ne pas surcharger, sont interconnectés entre l'unité de traitement (2) et les lignes d'adresses et de données de la mémoire. La mémoire reprogrammable (5) comporte également une entrée de signal d'horloge CL. L'horloge peut appartenir au dispositif, ou bien encore appartenir à un dispositif tiers auquel il devrait être connecté.

35

Dans le cas où la gestion de l'écriture ou de l'effacement est assurée par l'unité de traitement (2), les signaux de

validation d'écriture WE ou d'effacement EE proviennent de sorties correspondantes CWE et CEE de l'unité de traitement, et l'application de la tension de programmation  $V_{pp}$ , à l'intérieur de la mémoire non volatile (5), est subordonnée à une requête correspondante issue de l'unité de traitement.

Ainsi, dans les applications bancaires, lorsqu'un tel dispositif est inclus dans une carte à microcircuits, le signal d'horloge est obtenu à partir d'un signal extérieur.

Egalement, la validation de l'écriture ou de l'effacement peut être effectuée différemment selon le type de mémoire utilisée, et il peut arriver que des entrées complémentaires soient nécessaires. Le schéma est ici pour illustrer qu'en général la tension de programmation n'est pas appliquée seule, mais doit être appliquée en combinaison avec un ordre d'écriture ou d'effacement.

Egalement, des circuits internes à la mémoire reprogrammable (5), ou associés à celle-ci, qui n'ont pas été représentés pour ne pas surcharger la figure, et qui sont connus en soi sont prévus pour bloquer la tension de programmation  $V_{pp}$  tant qu'une requête en écriture ou en effacement n'est pas signifiée à la mémoire.

Ces circuits n'entrent pas dans le cadre de la présente invention, mais sont décrits plus en détail par exemple dans le livre de la société Intel déjà cité dans le préambule de la demande. D'une façon générale, ces circuits internes détectent la présence d'une requête sur une entrée WE ou EE de la mémoire non volatile pour gérer en interne le passage de la tension de programmation.

La tension de programmation  $V_{pp}$  peut être obtenue à partir de la tension d'alimentation  $V_{cc}$  nécessaire aux circuits

logiques du dispositif. Cette tension  $V_{cc}$  est appliquée directement à une entrée de l'unité centrale et, dans le cas où elle est différente de la tension  $V_{pp}$ , ce qui arrive dans la majorité des cas, avec les technologies actuelles, un convertisseur (6) est prévu pour obtenir la tension de programmation à partir de la tension d'alimentation. Par exemple, si la tension d'alimentation nominale  $V_{cc}$  est de 5 volts, et que la tension de programmation nominale  $V_{pp}$  est de 18 volts, le convertisseur (6) peut être constitué par une pompe à diodes.

Conformément à la présente invention, le dispositif (1) comporte des moyens (7, 8) pour interdire l'application de la tension de programmation  $V_{pp}$  pendant les phases de réinitialisation. A cet effet, dans un mode de réalisation, on prévoit un détecteur (8) qui mesure la valeur de la tension du signal RAZ de demande de réinitialisation du dispositif et qui délivre à sa sortie un signal commandant les moyens de blocage (7) de la tension de programmation, de façon à interdire l'application de ladite tension, tant que la valeur du signal de demande de réinitialisation est telle que ce signal peut être pris en compte pour activer la réinitialisation, c'est-à-dire lorsque ledit signal a atteint un seuil RAZ1 à partir duquel il doit être considéré comme actif.

Ainsi, dans le cas où le signal de réinitialisation est actif à l'état bas, les moyens de détection du signal de demande de réinitialisation détectent le niveau de ce signal et entraînent l'interdiction de l'application d'une tension nécessaire à la programmation lorsque le niveau est inférieur ou égal au seuil. A l'inverse, lorsque ce signal est actif à l'état haut, le blocage de l'application de la tension de programmation est entraîné

lorsque le signal de demande de réinitialisation atteint un niveau proche de la valeur de la tension nominale de fonctionnement des circuits logiques du dispositif.

5 Des circuits connus permettent qu'une demande de réinitialisation soit effectuée automatiquement à la remise sous tension, à l'aide d'un circuit mesurant la tension d'alimentation  $V_{CC}$  et délivrant un signal de réinitialisation par exemple dès que la tension minimale  
10 de fonctionnement  $V_{CC \text{ min}}$  est atteinte, ou bien lorsque la valeur de la tension d'alimentation est intermédiaire entre la valeur minimale et la valeur nominale.

15 De préférence, comme l'illustre la figure 1, le détecteur (8) du niveau du signal de réinitialisation entraîne également l'application de l'ordre de réinitialisation à l'unité de traitement (2). A cet effet, l'entrée (81) du détecteur (8) reçoit le signal de réinitialisation émis par exemple à la suite de la mise sous tension du système.  
20 Les moyens pour obtenir ce signal de réinitialisation n'ont pas été représentés ici, afin de ne pas surcharger la figure.

25 Une sortie (82) du détecteur est reliée à une entrée des moyens de blocage (7) de la tension de programmation, et une autre sortie (83) du détecteur est reliée à l'entrée de réinitialisation de l'unité de traitement. Cette structure permet que tant que le signal de réinitialisation apparaissant à l'entrée du détecteur n'est pas de niveau suffisant, et que ce signal est considéré comme non significatif d'une demande de réinitialisation, alors d'une part, la sortie (82) du détecteur (8) reliée à une entrée des moyens de blocage (7) délivre un signal tel que l'application de la tension de programmation peut être autorisée. Comme on le verra plus loin, les moyens de blocage (7) sont également

5 pilotés par un détecteur (9) délivrant un signal interdisant l'application de la tension de programmation si la tension minimale de fonctionnement des circuits logiques du dispositif n'est pas atteinte. Ainsi, en  
10 5 l'absence d'un signal de demande de réinitialisation à l'entrée (81) du détecteur (8), et lorsque la tension minimale de fonctionnement est atteinte, alors les moyens de blocage (7) autorisent l'application de la tension de programmation, et si une requête en programmation de la mémoire reprogrammable a lieu, alors elle peut être prise  
15 en compte.

15 Lorsque la première sortie (82) est dans l'état qui vient d'être mentionné, car le signal de réinitialisation n'est pas suffisant pour être considéré comme actif, alors le détecteur (8) délivre à sa sortie (83) un signal correspondant à une non activation de la réinitialisation de l'unité de traitement (2).

20 De préférence, le détecteur (8) est un détecteur de seuil sans hystéresis, de façon que, dès lors que la valeur du signal de réinitialisation appliquée à son entrée (81) est telle que ce signal peut être validé, alors ces sorties (82, 83) passent dans un état tel que, d'une part, les  
25 moyens de blocage (7) sont activés, et que simultanément un ordre entraînant la réinitialisation de l'unité de traitement est appliqué à l'entrée de cette dernière. A l'inverse, dès que le niveau du signal appliqué à l'entrée (81) du détecteur est tel que ce signal ne doit plus être considéré comme actif, alors les sorties (82, 83) passent dans un état opposé. Par exemple, si la tension nominale de fonctionnement des circuits logiques du dispositif est de 5 volts, alors le niveau apparaissant aux sorties du détecteur passe instantanément de 0 à 5 volts, ou de 5  
30 35 volts à 0 volt dès que le signal appliqué à l'entrée (81) du détecteur franchit le seuil de basculement.

Enfin, selon que l'on considère que l'état actif du signal de réinitialisation est l'état bas ou l'état haut, le seuil de basculement du détecteur (8) est déterminé différemment. Par exemple, dans le cas où le signal de demande de réinitialisation appliqué à l'entrée (81) doit être considéré comme actif à l'état bas, ce qui signifie que la valeur de ce signal est susceptible de varier entre la valeur nominale de fonctionnement et la valeur zéro, l'apparition d'un signal de réinitialisation se traduit par une transition du signal appliquée à l'entrée (81) du détecteur (8), entre la valeur nominale et la valeur zéro. A l'inverse, lorsque le signal de demande de réinitialisation disparaît, après que la remise à zéro des registres du dispositif ait été effectuée, alors le signal appliquée à l'entrée du détecteur passe de la valeur zéro à la valeur nominale. En d'autres termes, dans un tel cas, un signal de demande de réinitialisation qui apparaît se traduit par un front descendant du signal appliquée à l'entrée du détecteur (8), et la disparition du signal de demande de réinitialisation se traduit par l'apparition d'un front montant à la même entrée. C'est pourquoi, de préférence, il suffit de concevoir ou de choisir le détecteur de seuil, de façon que le seuil de basculement soit compris entre la valeur nominale d'alimentation et la valeur nulle. Par exemple, si la tension nominale de fonctionnement des circuits est de 5 volts, et dans le cas où le signal de réinitialisation est actif à l'état bas, on choisira le détecteur de seuil de façon que le basculement survienne lorsque le signal appliquée à l'entrée (81) du détecteur de l'ordre de 4 volts, et dans le cas où le signal de réinitialisation est actif à l'état haut, le seuil de basculement sera par exemple de 2 volts. Bien entendu, ces valeurs ne sont pas limitatives, mais elles montrent qu'il est préférable que la valeur de basculement soit proche de la valeur pour laquelle le signal de réinitialisation n'est pas actif, mais pour

qu'un changement d'état de ce signal, entre son état non actif et son état actif, soit pris en compte très rapidement, afin de ne pas perdre de temps pour la réinitialisation. Ceci permet d'appliquer très rapidement l'ordre effectif de réinitialisation à l'unité de traitement d'une part, et un signal entraînant le blocage de l'application de la tension de programmation par les moyens (7) de blocage, d'autre part.

Ainsi, on constate que, si un ordre de validation d'écriture est appliqué sur l'entrée de validation d'écriture WE de la mémoire reprogrammable (5), ou si un ordre de validation d'effacement est appliquée sur l'entrée de validation d'effacement EE de ladite mémoire, tant que la réinitialisation a lieu, alors l'application de l'un ou l'autre de ces ordres est inopérante puisque la tension de programmation  $V_{pp}$  est bloquée.

De préférence, comme illustré par cette figure, les moyens de blocage (7) sont interposés entre la sortie du convertisseur (6) lorsqu'il est présent et l'entrée de la tension de programmation  $V_{pp}$  de la mémoire non volatile.

En fait, l'ensemble constitué par les moyens de blocage (7) et le circuit détecteur de seuil (8), pour détecter le seuil de blocage RAZ1, constitue un interrupteur électronique à seuil, autorisant que la tension de sortie du convertisseur (6) soit appliquée à l'entrée de la mémoire reprogrammable (5) lorsque le signal de demande de réinitialisation RAZ atteint une valeur suffisante RAZ1 à laquelle il peut être pris en compte pour entraîner la réinitialisation des circuits logiques du dispositif.

Les ordres de validation d'écriture WE ou d'effacement EE sont issus de l'unité centrale (2). Or, tant que les circuits logiques de l'unité centrale (2) ne sont pas

stabilisés, un signal de validation d'écriture ou d'effacement peut être transmis accidentellement à la mémoire non volatile. En conséquence, dans une variante non représentée, on prévoit des circuits de blocage de ces signaux, pilotés également par le détecteur (8) de seuil, pour interdire la transmission d'un tel signal qui serait issu de l'unité centrale (2) tant que le signal de réinitialisation n'a pas une valeur suffisante. Cependant, en tout état de cause, il est nécessaire de conserver des moyens de blocage (7) de la tension de programmation  $V_{pp}$ , car il peut arriver que des signaux transitoires propres aux circuits électroniques internes de la mémoire reprogrammable (5) soient générés à l'intérieur de cette dernière, notamment au niveau des circuits de validation d'écriture ou d'effacement qui pourraient entraîner de façon incontrôlée, notamment lors des mises sous tension, l'effacement ou l'écriture de données dans la mémoire reprogrammable.

C'est pourquoi, de préférence, si des circuits de blocage de l'application des tensions de validation d'écriture ou d'effacement sont présents, les moyens (7) de blocage de l'application de la tension de programmation demeurent présents.

Sur la figure 1, on a également illustré la présence d'un circuit (9) dont l'entrée reçoit la tension d'alimentation  $V_{cc}$  du dispositif et dont la sortie est reliée aux moyens (7) de blocage de la tension de programmation. Ce circuit (9) est un détecteur de seuil dont la fonction est d'interdire l'application de la tension de programmation chaque fois que la tension d'alimentation  $V_{cc}$  est inférieure à une valeur donnée qui est la valeur minimale pour laquelle les circuits logiques du dispositif fonctionnent correctement. Ce circuit est connu en soi, et il en a été fait mention dans le préambule de la présente

5 demande. Il permet, en complément des circuits spécifiques à la présente invention, qui sont actifs pendant les phases de réinitialisation du système, d'interdire l'application de la tension de programmation lors des mises sous tension ou hors tension du dispositif, ou lors d'une baisse de tension accidentelle.

10 L'action de ce détecteur (9) associé aux moyens (7) de blocage est complémentaire de l'action du détecteur (8) du niveau RAZ1 du signal de réinitialisation associé aux dits moyens de blocage (7) de l'application de la tension de programmation, de sorte que la tension de programmation  $V_{pp}$  ne peut pas être appliquée sur la borne d'entrée correspondante de la mémoire reprogrammable (5) lorsque soit le niveau de la tension d'alimentation  $V_{cc}$ , soit le niveau du signal de demande de réinitialisation n'est pas compatible.

20 La figure 2 illustre un principe de constitution des moyens de blocage (7) lorsque seule la valeur du signal de réinitialisation est prise en compte pour déterminer l'autorisation ou l'interdiction de l'application de la tension de programmation à la mémoire reprogrammable (5). Les moyens de blocage (7) sont par exemple constitués par 25 un montage à transistor (73) fonctionnant en tout ou rien, qui laisse passer la tension de programmation  $V_{pp}$  lorsque le signal de demande de réinitialisation n'est plus actif. A cet effet, le circuit interne des moyens de blocage (7) est monté de façon telle que l'électrode de commande (74) du montage à transistor (73) reçoive le signal du circuit (8) détecteur de la valeur du signal de demande de réinitialisation. L'entrée (71) des moyens de blocage est reliée à la sortie du convertisseur (6) ou, de façon générale, au circuit délivrant la tension de 30 programmation, s'il est indépendant du circuit d'alimentation des circuits logiques, et la sortie (72)

des moyens de blocage (7) est reliée à l'entrée de la tension de programmation  $V_{pp}$  de la mémoire reprogrammable (5). Par exemple, le signal appliqué sur l'entrée (71) des moyens de blocage (7) est transmis au drain du montage à transistor MOS, alors que la sortie (72) est reliée à la source du même montage. Dans ce cas, une résistance (75) est placée entre l'électrode de commande, c'est-à-dire la grille, et la masse.

10 De préférence, le circuit détecteur (8) est un détecteur de seuil sans hystéresis. Ce circuit est choisi de façon à émettre à sa sortie un signal rendant le montage à transistor (73) conducteur lorsque le signal de réinitialisation n'est plus actif.

15 Il en résulte que, tant que le signal de demande de réinitialisation est actif, l'application de la tension de programmation  $V_{pp}$  est interdite par le circuit de blocage (7).

20 La figure 3 illustre le cas où non seulement le signal de demande de réinitialisation est pris en compte pour bloquer l'application de la tension de programmation  $V_{pp}$  sur la mémoire reprogrammable (5), mais encore le cas où on tient compte également du niveau de la tension d'alimentation des circuits logiques du dispositif. Les moyens de commande (7) sont agencés dans ce cas pour prendre en compte le signal issu du détecteur (8) du niveau du signal de demande de réinitialisation et/ou le signal du détecteur (9) du niveau de la tension d'alimentation. Le détecteur (9) est également un détecteur à seuil, qui délivre à sa sortie un signal de commande des moyens (7) de blocage, autorisant la programmation, si une requête à cet effet a lieu, lorsque la tension d'alimentation est comprise entre la valeur minimale  $V_{ccmin}$  pour laquelle les circuits logiques

commencent à fonctionner correctement et la tension nominale  $V_{ccnom}$  d'alimentation. Ainsi, dans le cas de circuits alimentés sous une tension nominale de 5 volts, le détecteur (9) délivre un signal autorisant l'application de la tension de programmation dès que la tension est par exemple de 4 volts, dans le cas où les circuits logiques fonctionnent correctement à partir de 3 volts.

10 Les moyens de commande (7) sont, dans ce cas, agencés par exemple de la façon suivante : ils comprennent le premier transistor (73) déjà mentionné qui reçoit sur l'une de ses électrodes le signal issu du convertisseur (6), et dont une autre électrode est reliée par l'intermédiaire de la sortie (72) des moyens de blocage (7) à l'entrée  $V_{pp}$  de la mémoire reprogrammable (5) ; l'électrode de commande (74) du dit transistor reçoit le signal issu du détecteur (8) de mesure du niveau du signal de demande de réinitialisation, et un second transistor (76), dont l'électrode de commande (77) est reliée à la sortie du détecteur (9) de la tension d'alimentation, est intercalé entre la résistance (75) et le point commun à la sortie du détecteur (8) et à l'électrode de commande (74) du premier transistor (73), de sorte qu'une seconde électrode de ce second transistor (76) est reliée au dit point commun, et que sa troisième électrode est reliée à la résistance (75).

30 Dans ce cas, le premier transistor (73) conduit lorsqu'un signal est appliqué sur son électrode de commande (74), par l'intermédiaire du détecteur de signal de demande de réinitialisation (8) et que simultanément le second transistor (76) est non conducteur. Pour que ce second transistor (76) soit conducteur, afin de bloquer la programmation, il faut qu'un signal soit appliqué sur son électrode de commande (77), ce qui est le cas lorsque le

détecteur (9) détecte que la tension d'alimentation est inférieure à la valeur minimun de fonctionnement correct des circuits logiques du dispositif.

5 Bien entendu, tout autre type de montage est possible, les figures qui viennent être décrites n'étant qu'une illustration du principe de fonctionnement du dispositif. Ce qui est primordial est que les moyens de blocage (7) de la tension de programmation constituent un interrupteur 10 commandé qui autorise l'application de ladite tension de programmation  $V_{pp}$  uniquement lorsque la valeur d'alimentation est correcte et lorsque le signal de réinitialisation n'est pas actif.

15 Par ailleurs, on constate sur cette figure que le détecteur (8) comporte une seule sortie reliée à la fois à l'électrode de commande des moyens de blocage et à l'entrée de réinitialisation de l'unité de traitement (2). Ceci est envisageable dans les cas où la technologie 20 utilisée permet que le même niveau de signal soit utilisé pour la commande et pour la réinitialisation.

Le circuit qui vient d'être illustré présente cependant l'inconvénient que l'application de la tension de programmation est autorisée dès que l'ordre de réinitialisation disparaît. En raison des temps de réponse 25 des divers circuits, il peut arriver que l'ordre de déblocage de l'application de la tension de programmation soit pris en compte avant que l'ordre de réinitialisation ait disparu, et qu'un transitoire survienne simultanément dans les circuits de traitement, qui valide un ordre 30 d'effacement ou d'écriture de façon incontrôlée, de sorte que des informations erratiques peuvent éventuellement être inscrites dans la mémoire reprogrammable.

35 C'est pourquoi, dans une variante, dont le principe est illustré par la figure 4, on prévoit deux circuits de

détection du niveau du signal de demande de réinitialisation des circuits, un premier circuit de détection (8 bis) dont la sortie est reliée aux moyens (7) de blocage de la tension de programmation, et un second circuit de détection (10) dont la sortie est reliée à l'entrée de réinitialisation de l'unité de traitement (2). Les deux circuits de détection (8 bis, 10) possèdent des seuils (RAZ1, RAZ2) de détection différents, de sorte que lorsqu'un signal de demande de réinitialisation RAZ apparaît à l'entrée de ces circuits, le premier circuit (8) délivre un signal de blocage des moyens (7) avant que le second circuit (10) ait activé le signal de réinitialisation de l'unité de traitement (2), afin de permettre que, lorsqu'un signal de demande de réinitialisation apparaît, le blocage de l'application de la tension de programmation soit effectif avant que l'ordre de réinitialisation soit appliqué, et que lorsque le signal de demande de réinitialisation appliquée à l'entrée des circuits de détection (8 bis, 10) passe d'un état actif à un état non actif, le déblocage soit effectif après que l'ordre de réinitialisation appliquée à l'entrée correspondante de l'unité de traitement (2) ait disparu. On a donc un séquencement temporel entre l'application des différents signaux de commande qui accroît la sécurité de fonctionnement du dispositif.

Ainsi, dans tous les cas, le blocage précède la phase de réinitialisation et le déblocage suit la fin de la phase de réinitialisation.

Le circuit de la figure 4 est donc très performant puisqu'il permet que l'ordre de réinitialisation des circuits du dispositif disparaîsse avant que l'autorisation d'une application de la tension de programmation survienne. Par ailleurs, ce circuit comporte les moyens de blocage de la tension de programmation

- lorsque la tension minimum d'alimentation n'est pas atteinte, de sorte qu'à la mise sous tension, l'autorisation de l'application de la tension de programmation ne peut avoir lieu qu'après que la tension minimum de fonctionnement ait été atteinte d'une part, et que d'autre part lorsque le signal de réinitialisation n'est pas actif. En cas d'un retrait accidentel ou volontaire de la tension d'alimentation, la présence du circuit (9) de détection de la tension d'alimentation entraîne un blocage de l'autorisation de l'application de la tension de programmation  $V_{pp}$  dès que la tension d'alimentation devient inférieure ou égale à la tension minimum de fonctionnement correct.
- Il peut cependant arriver que les dispositifs réalisés selon les variantes précédemment décrites ne réduisent pas totalement les risques d'effacement ou d'écriture accidentels dans la mémoire reprogrammable (5) lors de la réinitialisation.
- En effet, selon la variante réalisée, soit l'autorisation de l'application de la tension de programmation est donnée en même temps que l'ordre de réinitialisation disparaît, soit ladite autorisation est retardée par rapport à la disparition de l'ordre de réinitialisation, mais ce retard dépend uniquement de la vitesse de transition du niveau de la tension du signal de réinitialisation, qui peut être très rapide.
- Or, généralement la réinitialisation s'effectue selon un séquencement programmé, piloté par l'horloge du dispositif, de sorte que la réinitialisation peut, dans certains cas exceptionnels, se prolonger après que le signal lui-même ait disparu.
- Or, les dispositifs décrits en regard des variantes précédentes sont tels que lorsque le signal de demande de

- réinitialisation n'est plus actif, une autorisation de l'application de la tension de programmation est donnée. Il peut donc arriver, dans ce cas, qu'une écriture ou un effacement soit fait accidentellement alors que la réinitialisation n'est pas totalement terminée à partir du moment où l'autorisation de l'application de la tension de programmation est accordée, si un ordre correspondant apparaît.
- 5
- 10 La variante illustrée par la figure 5 permet d'éviter une programmation accidentelle lorsque le signal de demande de réinitialisation n'est plus actif alors que la réinitialisation n'est pas terminée.
- 15 Le dispositif de l'invention comporte au moins un registre (11) dont la sortie est reliée aux moyens de blocage (7) de la tension de programmation  $V_{pp}$  de la mémoire reprogrammable (5), et dont l'entrée de réinitialisation est connectée par l'intermédiaire d'un circuit combinatoire (12) d'une part à la sortie d'un circuit (13) de réinitialisation automatique à la mise sous tension, et d'autre part à la ligne de demande de réinitialisation du système en cours de fonctionnement de préférence par l'intermédiaire d'un détecteur (8) du niveau du signal de demande de réinitialisation, pour que ledit signal soit pris en compte à partir d'un seuil déterminé. L'entrée de données du registre (11) est reliée à une sortie de données de l'unité centrale (2), de façon à être commandée par cette dernière.
- 20
- 25
- 30 Par ailleurs, le registre (11) est relié à l'horloge (14) pilotant le dispositif.
- 35 Sur cette figure, on a également représenté le convertisseur (6) entre la source d'alimentation  $V_{cc}$  et les moyens (7) de blocage de la tension de programmation.

Le circuit (13) de réinitialisation automatique est par exemple constitué par un détecteur de tension associé à un générateur d'impulsions qui envoie un ordre de réinitialisation du registre (11) dès que la tension d'alimentation  $V_{CC}$  atteint la valeur minimale de fonctionnement correct des circuits logiques du dispositif. Après sa réinitialisation, la sortie du registre (11) délivre un signal de sorte que les moyens de blocage (7) interdisent l'application de la tension de programmation à la mémoire reprogrammable (5).

Pour que la sortie du registre (11) soit placée dans une configuration telle que les moyens de blocage (7) de la tension de programmation autorisent l'application de ladite tension à la mémoire reprogrammable (5), il faut que l'unité de traitement (2) charge le registre (11) dans une configuration telle que la sortie de ce registre soit dans un état opposé à celui dans lequel elle est positionnée lors de la réinitialisation. Pour cela, une sortie  $CV_{PP}$  de l'unité de traitement (2) est reliée à l'entrée de données du registre (11).

Ce dispositif est donc particulièrement performant puisque le registre (11) est placé dans une configuration correspondant à une autorisation de l'application de la tension de programmation, seulement sur requête de l'unité de traitement, lorsqu'il y a effectivement besoin d'effectuer un effacement ou une écriture. Ainsi, les moyens de blocage (7) sont activés tant qu'aucune écriture ou effacement n'est nécessaire, et la sécurité est considérable.

Dans un mode de réalisation, le registre (11) est constitué par une cellule élémentaire de mémorisation qui est préférentiellement mise dans un état déterminé lors de la réinitialisation. Il peut cependant arriver, dans des

cas exceptionnels, qu'une telle cellule se positionne dans un état différent lors de la réinitialisation, ce qui, dans le cas d'espèce, conduirait à autoriser l'application de la tension de programmation. C'est pourquoi, comme illustré par cette figure 5, de préférence l'application des signaux de validation d'écriture WE ou d'effacement EE est également surbordonnée à l'état de registres (15, 16) qui sont initialisés à la mise sous tension dans un état correspondant respectivement à l'interdiction de l'application du signal de validation d'écriture et du signal de validation d'effacement. Sur cette figure 5, les sorties de ces deux derniers registres (15, 16) sont reliées respectivement aux entrées de validation d'écriture WE et d'effacement EE de la mémoire reprogrammable (5). Une telle liaison directe est effectuée dans le cas où les niveaux de sortie des dits registres sont compatibles avec les niveaux d'entrée nécessaires pour la validation de l'écriture ou de l'effacement dans la mémoire reprogrammable. Au cas où les niveaux ne sont pas compatibles, alors il est nécessaire de prévoir un convertisseur entre la sortie d'un registre et l'entrée correspondante de la mémoire reprogrammable. Lorsqu'une opération d'écriture ou d'effacement doit être effectuée, alors l'unité de traitement charge par sa sortie ( $CV_{pp}$ ), en synchronisme avec l'horloge, le registre (11) de commande des moyens (7) de blocage dans un état autorisant l'application de la tension de programmation, et simultanément, elle charge le registre (15 et/ou 16) dans un état correspondant à l'autorisation de l'application du signal de validation d'écriture et/ou de validation d'effacement, selon l'opération requise. Des sorties (CWE, CEE) de l'unité de traitement (2) sont reliées à cet effet aux entrées de données des registres (15) et (16) respectivement.

35

Ce mode de réalisation est particulièrement avantageux car, il peut arriver que l'un des registres se positionne

dans un état non souhaité lors de la réinitialisation, mais il est peu vraisemblable que la totalité des registres se positionne accidentellement dans une configuration non souhaitée.

5

La figure 6 illustre une variante dans laquelle les registres (11, 15, 16) sont des registres à décalage, à entrée série et sorties parallèles, qui comprennent donc chacun un nombre non unitaire de bascules ou de cellules, dont les entrées de réinitialisation sont communes, et reliées au circuit combinatoire (12) identique à celui de la figure 5 recevant soit le signal de réinitialisation automatique, à la mise sous tension, soit un signal de demande de réinitialisation en cours de fonctionnement, et dont le chargement, qui s'effectue de façon séquentielle, est synchronisé par l'horloge (14) du dispositif, de sorte que l'unité de traitement doit exécuter une routine comportant plusieurs instructions pour charger chacun de ces registres. D'une façon similaire à la figure 5, l'unité de traitement comporte des sorties ( $CV_{pp}$ , CWE, CEE) reliées aux entrées de données des registres 11, 15, 16 respectivement, pour permettre le chargement des registres requis par l'opération souhaitée. Par ailleurs, une seule configuration de chargement de chacun de ces registres autorise l'application du signal qu'il commande, c'est-à-dire l'autorisation de l'application de la tension de programmation  $V_{pp}$  pour le registre (11), l'autorisation de l'application du signal de validation d'écriture WE pour le registre (15), l'autorisation de l'application du signal de validation d'effacement EE pour le registre (16).

C'est pourquoi, dans le mode de réalisation illustré par cette figure 6, chaque registre est associé à un circuit combinatoire différent, un premier (17) pour le registre (11) d'autorisation de la tension de programmation, une

35

5 seconde (18) pour le registre (15) d'autorisation d'application du signal de validation d'écriture, et un troisième (19) pour le registre (16) d'autorisation d'application du signal de validation d'effacement. Chaque circuit combinatoire contient autant d'entrées que le registre correspondant contient de bascules, de sorte que l'état de chacune des bascules d'un registre est répercuté à tout moment au circuit combinatoire correspondant. Par ailleurs, le circuit combinatoire correspondant à un 10 registre porte une seule sortie qui est reliée à l'entrée correspondante de la mémoire reprogrammable qu'il commande. Cette liaison est directe si les signaux sont compatibles, ou s'effectue par l'intermédiaire de circuits adaptateurs ou convertisseurs si les signaux ne sont pas compatibles. Ainsi, dans l'exemple illustré, la sortie du 15 circuit (17) associé au registre (11) est reliée à l'entrée de commande des moyens (7) de blocage de la tension de programmation  $V_{pp}$ , alors que les sorties des circuits combinatoires (18 et 19) sont reliées directement 20 respectivement aux entrées de validation d'écriture et de validation d'effacement de la mémoire reprogrammable (5).

Dans un mode de réalisation, les circuits combinatoires (17, 18, 19) utilisent en combinaison des fonctions logiques connues telles que les fonctions OU, OU EXCLUSIF, etc... 25

Le dispositif décrit sur la figure 6 fonctionne de la façon suivante : lorsqu'une écriture est requise, il faut 30 positionner le registre (11) dans un état correspondant à l'autorisation de l'application de la tension de programmation  $V_{pp}$ , et positionner simultanément le registre (15) dans un état correspondant à l'autorisation de l'application du signal de validation d'écriture WE, en exécutant des routines particulières de chargement de 35 chacun de ces registres. De même, pour autoriser une

opération d'effacement, il faudra charger le registre (11) d'autorisation d'application de la tension de programmation  $V_{pp}$ , puis le registre (16) d'autorisation d'application du signal de validation d'effacement EE.

5

On comprend donc dans ce cas, que le dispositif est particulièrement fiable, car la multiplication du nombre des cellules nécessaires pour constituer chaque registre rend très peu probable le fait qu'une initialisation 10 accidentelle les positionne dans un état correspondant à une autorisation de la commande correspondante.

Le mode de réalisation de la figure 6, avec trois 15 registres différents, nécessite la sélection et le chargement approprié d'au moins deux registres lors d'une opération d'écriture ou d'effacement. Il faut systématiquement sélectionner le registre d'autorisation d'application de la tension de programmation, et le registre correspondant au signal de validation de l'opération choisie. Par ailleurs, selon que l'effacement 20 de la mémoire non volatile sera total ou partiel, on pourra être amené à réaliser des combinaisons particulières de l'état de sortie de ces divers registres. Il en résulte que chacun de ces registres doit être relié 25 à une sortie différente de l'unité de traitement, ou relié à la même sortie, et il faut des moyens de sélection de l'un et/ou de l'autre, pour charger les registres requis par une opération de programmation déterminée.

30

La figure 7 illustre une variante dans laquelle l'ensemble des registres est réuni de façon à former un registre à décalage unique (20) qui est relié à un circuit (21) combinatoire, comprenant autant d'entrées que le registre contient de bascules, et qui comporte une sortie (210) de commande de l'application de la tension de programmation  $V_{pp}$ , une sortie (211) de commande du signal de validation 35

d'écriture WE, et une sortie (212) de commande du signal de validation d'effacement EE. Cette structure permet de n'utiliser qu'un seul mode d'adressage lorsqu'une opération d'écriture ou d'effacement doit être effectuée, 5 entraînant un chargement systématique du registre (20). Dans ce cas, le registre sera chargé avec des contenus différents selon qu'il s'agit d'une opération d'écriture ou d'effacement total ou partiel du contenu de la mémoire reprogrammable (5). A cet effet, une sortie de chargement 10 (CC) de l'unité de traitement (2) est reliée à l'entrée série de données du registre (20).

Par ailleurs, la réinitialisation du registre (20) 15 s'effectue de façon semblable à ce qui se produit dans le cas de la figure 6, c'est-à-dire qu'elle a lieu soit au moment de la mise sous tension par application d'un signal de réinitialisation automatique par le circuit (13) réagissant en fonction du niveau de la tension d'alimentation  $V_{cc}$ , soit sur un ordre de réinitialisation 20 RAZ pendant le fonctionnement normal du dispositif, un circuit combinatoire (12) réalisant une fonction OU logique permettant de prendre en compte indifféremment l'un ou l'autre de ces ordres.

25 Pour la mise en oeuvre de ce dispositif, il est nécessaire de prévoir dans la mémoire de programme autant de routines que de possibilités d'interventions sur la mémoire reprogrammable (5) : il est nécessaire par exemple de prévoir une routine correspondant à un effacement complet 30 de ladite mémoire, une routine correspondant à un effacement partiel, et une routine correspondant à une écriture de nouvelles données.

35 Par ailleurs, il est possible d'envisager plusieurs façons différentes de charger le registre à décalage de commande des effacements/écritures dans la mémoire reprogrammable.

5                   Comme envisagé précédemment, la mémoire de programme peut contenir plusieurs routines complètes correspondant chacune à une opération spécifique (écriture, effacement total ou partiel) à effectuer sur la mémoire reprogrammable (5).

10                 Les différentes variantes qui viennent d'être décrites offrent un degré de sécurité croissant lors de la réinitialisation du dispositif, pour éviter que les données contenues en mémoire non volatile reprogrammable (5) soient modifiées ou effacées. Le choix de l'une ou de l'autre des variantes est effectué en fonction de la compléxité du dispositif et/ou du niveau de sécurité requis.

15                 Les diverses variantes qui viennent d'être décrites n'empêchent cependant pas que si l'unité de traitement, par accident, exécute des sauts d'adresses intempestifs, le programme s'exécute selon un séquencement non maîtrisé, 20 ce qui peut, dans certains cas, entraîner des changements non souhaités dans la mémoire reprogrammable (5).

25                 C'est pourquoi, dans un mode de mise en oeuvre, la mémoire (3) contenant le programme de fonctionnement de l'unité de traitement ne contient aucune routine complète permettant une écriture ou un effacement de la mémoire reprogrammable (5). Ainsi, lors d'un saut intempestif d'adresses, l'unité de traitement ne peut pas commander une opération de ce genre par erreur.

30                 A cet effet, le programme est agencé pour pouvoir écrire dans la mémoire volatile (4) une routine d'écriture ou d'effacement de la mémoire reprogrammable (5) : ceci consiste à inscrire des instructions dans la mémoire volatile sous la forme de données.

5 Lorsque toutes les instructions sont écrites dans la mémoire volatile (4), le programme contenu dans la mémoire (3) se branche sur cette routine inscrite en mémoire volatile, et ladite routine s'exécute alors. A la fin de l'opération d'écriture ou d'effacement, le programme contenu dans la mémoire (3) reprend le contrôle des opérations en effaçant prioritairement la routine contenue dans la mémoire volatile (4). Ainsi, la routine ne peut plus s'exécuter.

10

Il est bien entendu que cette solution n'est envisageable que si la mémoire volatile (4) permet d'y exécuter du programme.

15

Cette solution est envisageable pour réaliser une routine de chargement du ou des registres à décalage qui ont été décrits en regard des figure 6 et 7, mais il est bien entendu qu'elle peut également s'appliquer au chargement d'une routine beaucoup plus simple dans la mémoire volatile qui commanderait l'application des ordres de programmation et d'effacement et/ou d'écriture, lors de la mise en oeuvre des variantes illustrées sur les figures 1 à 5.

25

L'invention est donc particulièrement facile à mettre en œuvre sur tout type de dispositif de traitement de données, dans lequel la mémoire reprogrammable (5) peut être soit totalement, soit partiellement reprogrammée par l'unité de traitement (2), de même que l'on conçoit qu'elle puisse s'appliquer à des dispositifs monolithiques ou non. Ainsi, elle s'applique tout particulièrement aux microprocesseurs monolithiques autoprogrammables dont la tension de programmation  $V_{pp}$  de la mémoire non volatile est délivrée à partir de la source de tension d'alimentation générale, et pour lesquels il est nécessaire de prévoir des sécurités à la mise sous et hors tension, de même que lors des phases de réinitialisation.

35

REVENDICATIONS

1. Dispositif de traitement de données, comportant au moins une unité de traitement (2), et au moins une mémoire non volatile (5) effaçable et reprogrammable électriquement, au moins sous le contrôle partiel de l'unité de traitement, caractérisé en ce qu'il comporte des moyens de détection (8, 8 bis, 12) d'un signal de demande de réinitialisation des registres du dispositif, commandant des moyens (7, 11, 15, 16, 20) entraînant le blocage de l'application d'au moins un signal ( $V_{pp}$ , WE, EE) nécessaire à la programmation de la mémoire non volatile (5) au moins lorsque ledit signal de demande de réinitialisation (RAZ) des registres du dispositif possède un niveau suffisant (RAZ1) pour activer la réinitialisation.

15

2. Dispositif selon la revendication 1, caractérisé en ce que la mémoire reprogrammable (5) nécessite pour sa reprogrammation au moins l'application d'une tension de programmation ( $V_{pp}$ ), et en ce que les moyens de blocage (7, 11, 20) agissent sur ladite tension de programmation.

25

3. Dispositif de traitement de données selon la revendication 2, caractérisé en ce que la mémoire reprogrammable (5) nécessite pour sa reprogrammation l'application d'un signal de validation d'écriture (WE) et/ou d'un signal de validation d'effacement (EE), et en ce que les moyens de blocage sont prévus pour agir sur l'un et/ou l'autre de ces signaux (WE, EE).

30

4. Dispositif de traitement de données selon l'une quelconque des revendications précédentes, caractérisé en

35

ce que les moyens de détection et de blocage (7, 11, 15, 16, 20) comportent d'une part des premiers moyens de détection (8, 8 bis, 13) d'un premier niveau (RAZ1) dudit signal de demande de réinitialisation, dont l'entrée (81) reçoit ledit signal de demande de réinitialisation, et d'autre part un circuit (7, 11, 15, 16, 20) de blocage proprement dit, dont l'entrée est reliée à une sortie (82) des moyens de détection, de sorte que le circuit de blocage est commandé par lesdits moyens de détection, afin qu'un signal de commande entraînant le blocage d'au moins un signal nécessaire à la programmation de la mémoire reprogrammable (5) soit appliqué aux moyens de blocage tant que le signal de demande de réinitialisation est entre ledit premier niveau et son niveau actif.

15

5. Dispositif de traitement de données selon la revendication 4, caractérisé en ce que le circuit de blocage (7) est un interrupteur électronique (73) commandé par lesdits moyens de détection (8, 8 bis).

20 6. Dispositif de traitement de données selon la revendication 4, caractérisé en ce qu'une sortie (83), des premiers moyens de détection (8), est reliée à l'entrée de réinitialisation de l'unité de traitement (2) pour y appliquer un ordre de réinitialisation lorsque le signal de demande a atteint ledit premier niveau.

30

25 7. Dispositif de traitement de données selon l'une des revendications 4 ou 5, caractérisé en ce qu'il comporte des seconds moyens de détection (10) d'un second niveau (RAZ2) du signal de demande de réinitialisation, dont la 30 sortie est reliée à l'entrée de réinitialisation de l'unité de traitement (2), de façon à valider l'application d'un ordre de réinitialisation à l'unité de traitement (2), après que les premiers moyens de détection

(8, 8 bis) aient entraîné le blocage de l'application d'au moins un des signaux nécessaires à la programmation, et de façon à invalider l'ordre de réinitialisation avant que le déblocage soit autorisé par les premiers moyens.

5

8. Dispositif selon des revendications 4 à 7, caractérisé en ce qu'il comporte des moyens (13) tels qu'un détecteur à seuil pour émettre un signal de demande de réinitialisation à la mise sous tension du système lorsque la valeur d'alimentation ( $V_{cc}$ ) a atteint une valeur minimale ( $V_{cc \text{ min}}$ ) pour laquelle les circuits logiques du dispositif fonctionnent correctement, en ce qu'il comporte en outre des moyens internes de demande de réinitialisation en cours de fonctionnement, et en ce que les moyens de blocage (7, 11, 15, 16, 20) sont connectés de façon à prendre en compte indifféremment l'un ou l'autre de ces signaux de demande de réinitialisation.

20

9. Dispositif de traitement de données selon la revendication 8, caractérisé en ce que les moyens de blocage comportent au moins un registre (11, 15, 16, 20) comprenant une entrée des signaux de réinitialisation, et en ce que la sortie de ce registre est reliée à des moyens de commande (21) d'au moins l'un des signaux ( $V_{pp}$ , WE, EE) nécessaires à la programmation de la mémoire reprogrammable (5), et en ce que ce registre est agencé pour qu'un ordre de réinitialisation le positionne dans une configuration correspondant à un blocage de la programmation, et en ce que ledit registre possède une configuration unique selon laquelle il doit être chargé pour autoriser une programmation, le chargement d'un registre s'effectuant par une sortie appropriée ( $CV_{pp}$ , CWE, CEE) de l'unité de traitement, en synchronisme avec une horloge du dispositif.

35

10. Dispositif de traitement de données selon la revendication 9, caractérisé en ce qu'un registre (11, 15, 16, 20) est un registre à décalage à entrées série et sorties parallèles, dont l'entrée de chargement est reliée à l'unité de traitement (2) de façon à pouvoir être chargée lors de l'exécution d'une routine de chargement faisant suite à une demande de programmation, et en ce que les sorties du dit registre sont reliées entre elles par l'intermédiaire d'un circuit (21) combinatoire délivrant un signal d'autorisation de l'application d'au moins l'un des signaux nécessaires à la programmation, lorsque le registre est chargé dans la configuration unique d'autorisation.

15 11. Dispositif de traitement de données selon la revendication 10, caractérisé en ce qu'il comporte un registre à décalage unique (20) à entrée série et sorties parallèles, un circuit combinatoire (21) recevant le signal de chacune des sorties du registre, ledit circuit combinatoire (21) comportant autant de sorties que la mémoire reprogrammable (5) comporte d'entrées de commande de programmation ( $V_{pp}$ , WE, EE), de façon qu'en fonction du contenu du registre suite à une requête pour un mode de programmation donné (écriture ou effacement partiel ou total), le circuit combinatoire (21) autorise uniquement l'application des signaux nécessaires au mode de programmation choisi, et en ce que l'entrée dudit registre est reliée à une sortie (CC) de l'unité de traitement.

30

35 12. Dispositif de traitement de données selon l'une des revendications 1 à 11, caractérisé en ce qu'il comporte une mémoire de programme (3) et un programme de commande d'écriture ou d'effacement de la mémoire (5) reprogrammable résident dans ladite mémoire de programme (3).

13. Dispositif de traitement de données selon l'une des revendications 7 à 11, caractérisé en ce qu'il comporte une mémoire (3) de programme et un programme de chargement du registre, en fonction du mode de programmation choisi, résident dans ladite mémoire (3) de programme.

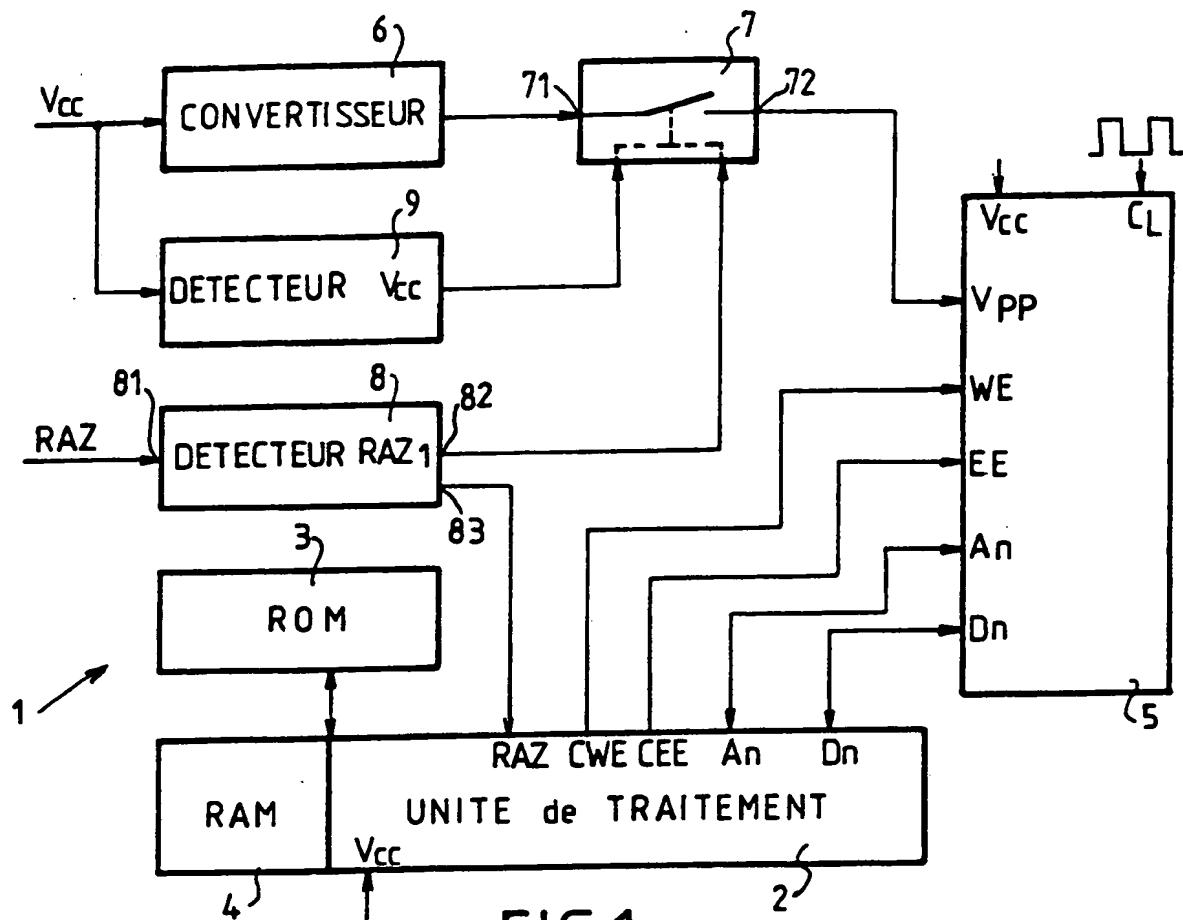
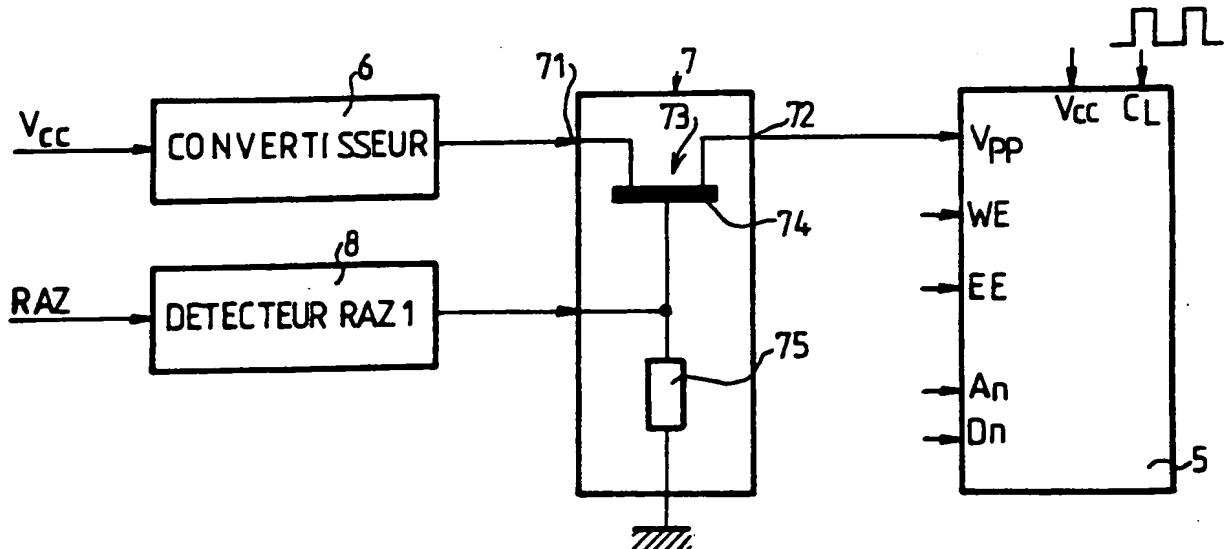
5  
10 14. Dispositif de traitement de données selon les revendications 12 et 13, caractérisé en ce que les programmes de commande et de chargement sont confondus.

15 15. Dispositif de traitement de données selon l'une des revendications 12 à 14, caractérisé en ce qu'un programme de commande et/ou de chargement est exécuté à partir d'instructions qui sont chargées dans la mémoire volatile (4) par l'unité de traitement (2), suite à une requête pour un mode de programmation donnée.

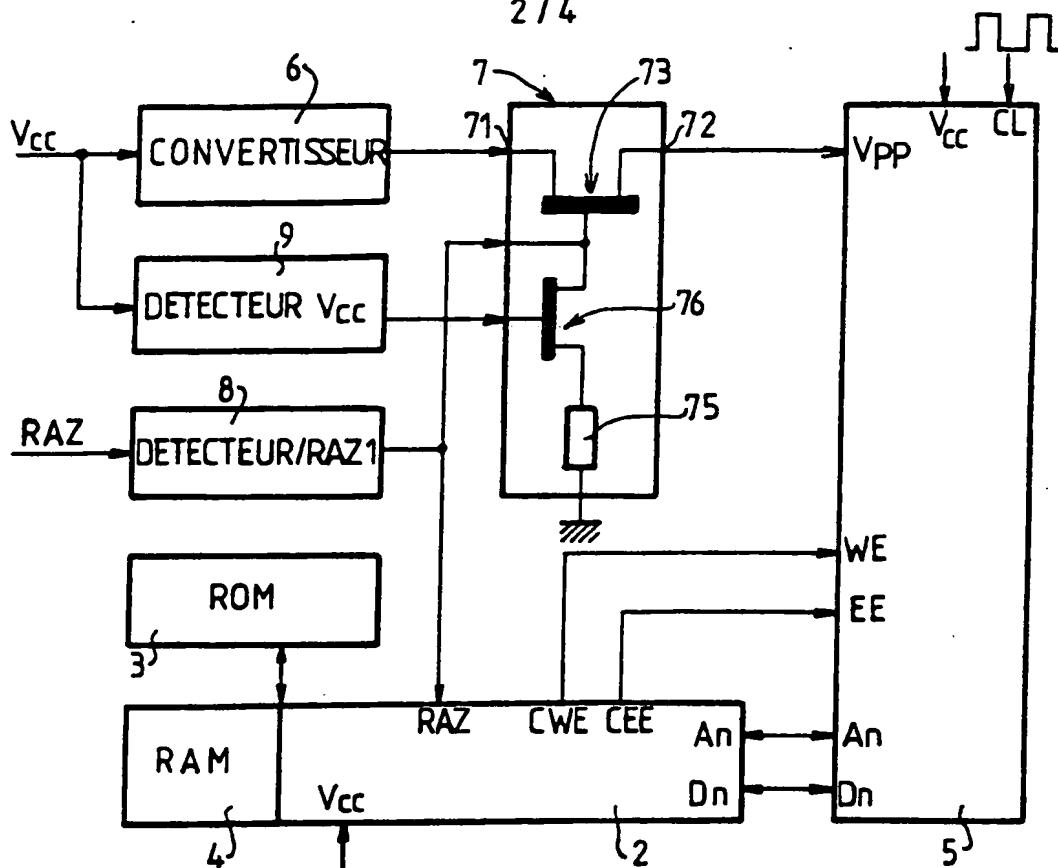
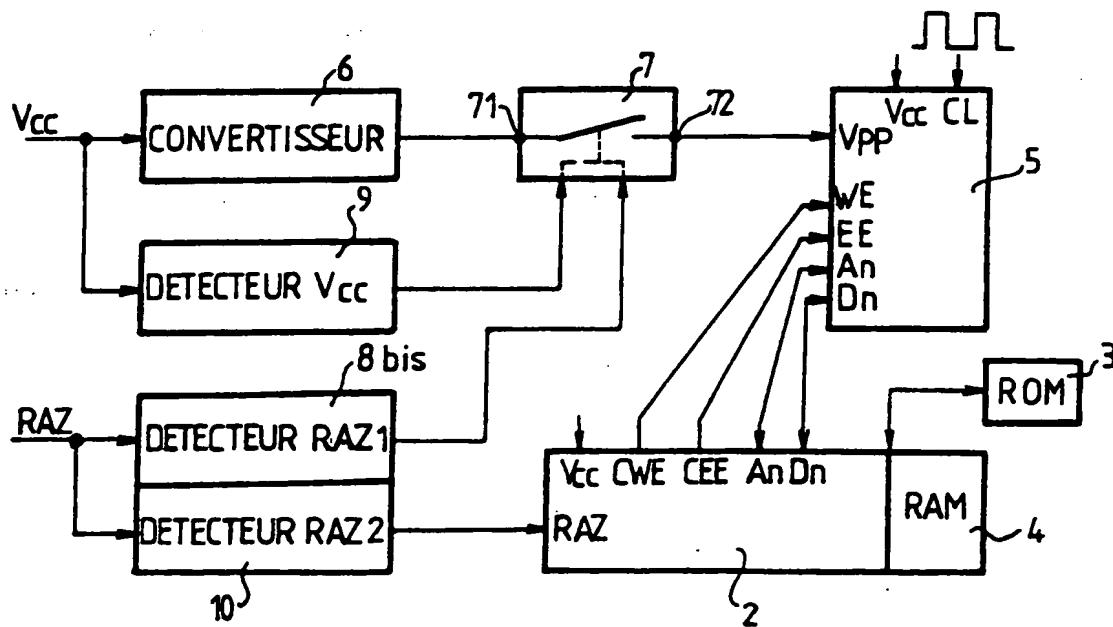
20  
25 16. Dispositif de traitement de données selon la revendication 12, caractérisé en ce que les instructions chargées en mémoire volatile, suite une requête pour un mode de programmation donné de la mémoire reprogrammable (5), sont effacées dès que la programmation est terminée.

30 17. Dispositif de traitement de données selon l'une quelconque des revendications 1 à 16, caractérisé en ce qu'il possède la structure d'un microprocesseur monolithique autoprogrammable.

1 / 4

FIG.1FIG.2

2/4

FIG.3FIG.4

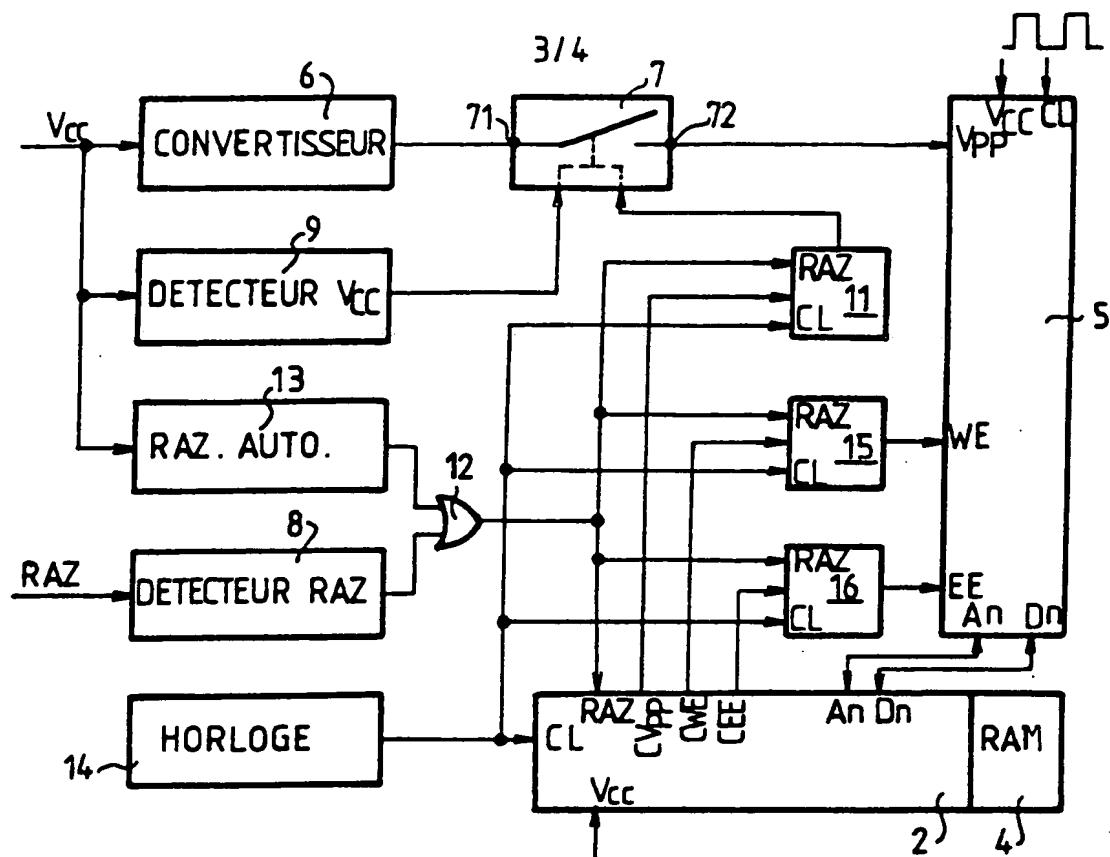


FIG.5

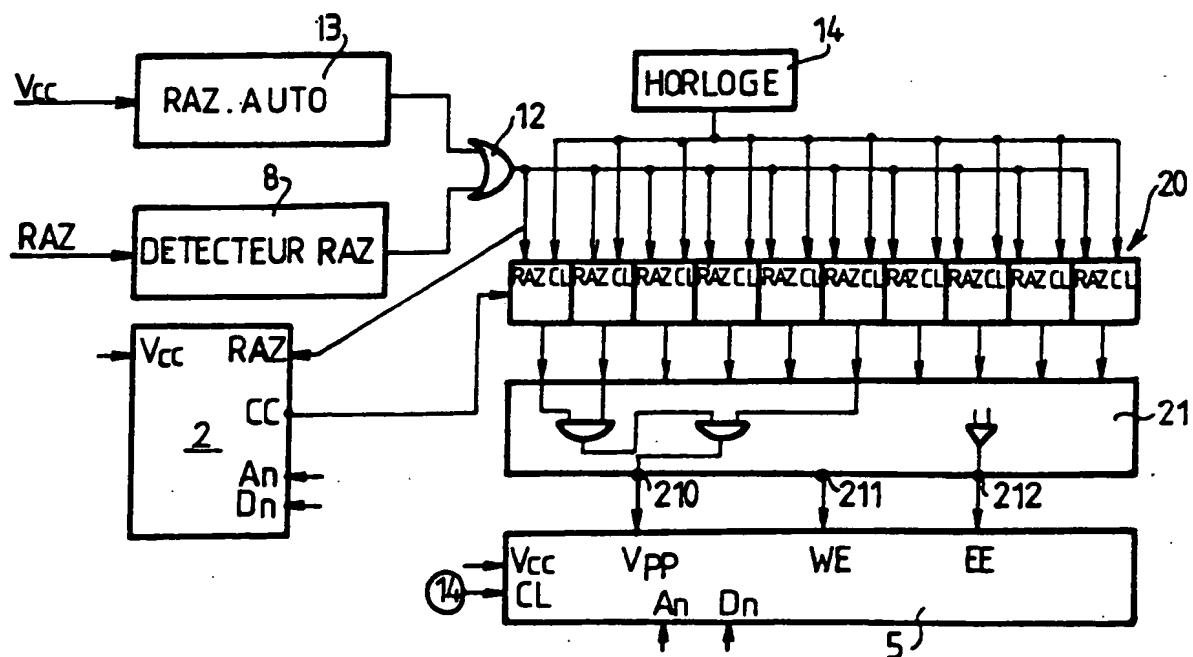


FIG.7

4 / 4

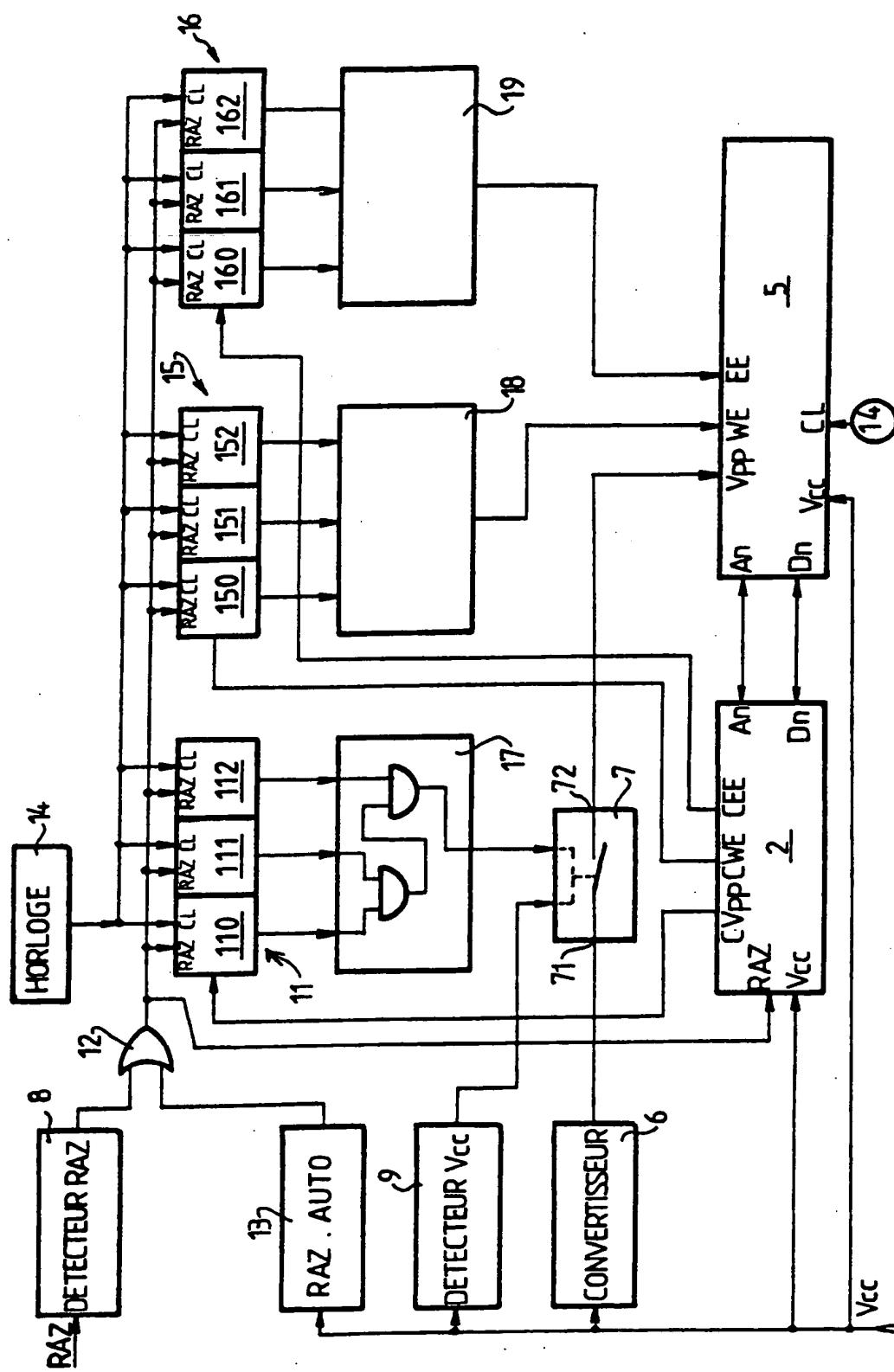


FIG. 6.

# INTERNATIONAL SEARCH REPORT

International Application No. PCT/FR89/00660

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) *		
According to International Patent Classification (IPC) or to both National Classification and IPC		
• Int.Cl.5 G11C 16/06		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched *		
Classification System      Classification Symbols		
Classification System	Int.Cl.5      G11C 16/06	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched *		
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT*</b>		
Category *	Citation of Document, ** with indication, where appropriate, of the relevant passages ***	Relevant to Claim No. **
X	US, A, 4692904 (HITACHI) 8 September 1987, see the whole document	1,2
A	---	3,4,5
A	US, A, 4612632 (ZENITCH ELECTRONICS) 16 September 1986, see the whole document	1,3
A	Patent Abstracts of Japan, Vol. 6, Nr. 38, (P-105)(916), 9 March 1982; & JP, A, 56156992 (MATSUSHITA DENKI SANGUO K.K.) 3 December 1981	1
A	EP, A, 0265312 (THOMSON COMPOSANTS MILITARIES ET SPATIAUX) 27 April 1988, see the whole document	1,3
A	EP, A, 0270410 (THOMSON SEMICONDUCTEURS) 8 June 1988, see the whole document	1-3
A	WO, A, 85/03583 (SUNDSTRAND DATA CONTROL) 15 August 1985, see page 13, line 9- page 19, line 4; figure 2	1,2,5,6
<p>* Special categories of cited documents: **      "A" document defining the general state of the art which is not considered to be of particular relevance      "E" earlier document but published on or after the International filing date      "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)      "O" document referring to an oral disclosure, use, exhibition or other means      "P" document published prior to the International filing date but later than the priority date claimed</p> <p>*** later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention      "T" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step      "X" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.      "A" document member of the same patent family</p>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	
18 April 1990 (18.04.90)	16 May 1990 (16.05.90)	
International Searching Authority	Signature of Authorized Officer	
European Patent Office		

**ANNEX TO THE INTERNATIONAL SEARCH REPORT  
ON INTERNATIONAL PATENT APPLICATION NO.**

FR 8900660  
SA 33337

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 10/05/90. The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US-A- 4692904	08-09-87	JP-A-	60251598	12-12-85
		US-A-	4881201	14-11-89
US-A- 4612632	16-09-86	None		
EP-A- 0265312	27-04-88	FR-A,B	2604555	01-04-88
		JP-A-	63102096	06-05-88
		US-A-	4864541	05-09-89
EP-A- 0270410	08-06-88	FR-A,B	2606199	06-05-88
		JP-A-	63133400	06-06-88
		US-A-	4837744	06-06-89
WO-A- 8503583	15-08-85	US-A-	4644494	17-02-87
		AU-B-	568009	10-12-87
		AU-A-	3937285	27-08-85
		CA-A-	1239695	26-07-88
		EP-A-	0171418	19-02-86
		JP-T-	61501176	12-06-86

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale N° PCT/FR 89/00660

## I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) <sup>1)</sup>

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

CIB <sup>5</sup> : G 11 C 16/06

## II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée <sup>2)</sup>

Système de classification	Documentation minimale consultée	Symboles de classification
CIB <sup>5</sup>	G 11 C 16/06	
Documentation consultée autre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté <sup>3)</sup>		

## III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS <sup>4)</sup>

Catégorie <sup>5)</sup>	Identification des documents cités. <sup>11)</sup> avec indication, si nécessaire, des passages pertinents <sup>12)</sup>	N° des revendications visées <sup>13)</sup>
X	US, A, 4692904 (HITACHI) 8 septembre 1987, voir le document en entier	1,2
A	--	3,4,5
A	US, A, 4612632 (ZENITCH ELECTRONICS) 16 septembre 1986, voir le document en entier	1,3
A	Patent Abstracts of Japan, vol. 6, no. 38 (P-105)(916), 9 mars 1982; & JP, A, 56156992 (MATSUSHITA DENKI SANGUO K.K.) 3 décembre 1981	1
A	EP, A, 0265312 (THOMSON COMPOSANTS MILITARIES ET SPATIAUX) 27 avril 1988, voir le document en entier	1,3
A	EP, A, 0270410 (THOMSON SEMICONDUCTEURS) 8 juin 1988, voir le document en entier	1-3

\* Catégories spéciales de documents cités: <sup>11)</sup>

- « A » document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- « E » document antérieur, mais publié à la date de dépôt international ou après cette date
- « L » document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- « O » document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- « P » document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- « T » document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- « X » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive
- « Y » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier.
- « & » document qui fait partie de la même famille de brevets

## IV. CERTIFICATION

Date à laquelle la recherche internationale a été effectivement achevée  
18 avril 1990

Date d'expédition du présent rapport de recherche internationale

16.05.90

Administration chargée de la recherche internationale  
OFFICE EUROPEEN DES BREVETS

Signature du fonctionnaire autorisé

Mme N. KUIPER

III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		(SUITE DES RENSEIGNEMENTS INDICUÉS SUR LA DEUXIÈME FEUILLE)
Catégorie *	Identification des documents cités, avec indication, si nécessaire, des passages pertinents	N° des revendications visées
A	WO, A, 85/03583 (SUNDSTRAND DATA CONTROL) 15 août 1985, voir page 13, ligne 9 - page 19, ligne 4; figure 2	1, 2, 5, 6
-----		

**ANNEXE AU RAPPORT DE RECHERCHE INTERNATIONALE  
RELATIF A LA DEMANDE INTERNATIONALE NO.**

FR 8900660  
SA 33337

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche internationale visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 10/05/90  
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US-A- 4692904	08-09-87	JP-A-	60251598	12-12-85
		US-A-	4881201	14-11-89
US-A- 4612632	16-09-86	Aucun		
EP-A- 0265312	27-04-88	FR-A,B	2604555	01-04-88
		JP-A-	63102096	06-05-88
		US-A-	4864541	05-09-89
EP-A- 0270410	08-06-88	FR-A,B	2606199	06-05-88
		JP-A-	63133400	06-06-88
		US-A-	4837744	06-06-89
WO-A- 8503583	15-08-85	US-A-	4644494	17-02-87
		AU-B-	568009	10-12-87
		AU-A-	3937285	27-08-85
		CA-A-	1239695	26-07-88
		EP-A-	0171418	19-02-86
		JP-T-	61501176	12-06-86

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**